

For

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-116988

(43) 公開日 平成10年(1998) 5月6日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/78
27/115
21/8247
29/788
29/792

H 0 1 L 29/78 3 0 1 S
27/10 4 3 4
29/78 3 0 1 G
3 7 1

審査請求 未請求 請求項の数18 O L (全 8 頁)

(21) 出願番号 特願平9-214562

(22) 出願日 平成9年(1997) 8月8日

(31) 優先権主張番号 特願平8-218690

(32) 優先日 平8(1996) 8月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉村 尚郎

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

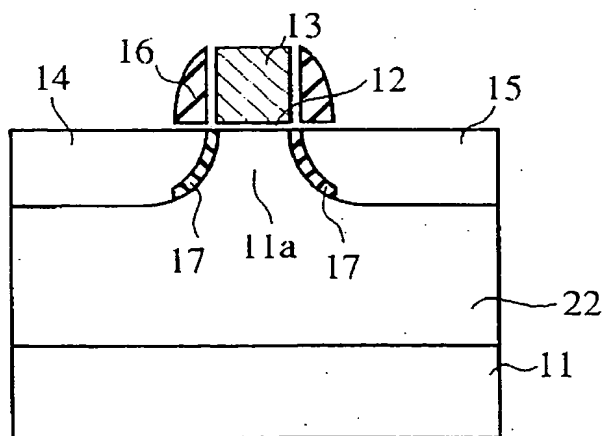
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】トランジスタの微細化のためチャネル長を短くしてゆくと、ショートチャネル効果が生じる。ショートチャネル効果抑制のためにチャネル不純物濃度を増加させると耐圧が劣化する。すなわち従来のトランジスタの微細化には物理的な限界がある。

【解決手段】トランジスタのソース14、チャネル11a間及びドレイン15、チャネル11a間に絶縁バリア層17を設け、トランジスタのリーク電流を抑制し、耐圧劣化が生じるのを抑制し、さらにショートチャネル効果を抑制し、トランジスタの微細化を達成する。



【特許請求の範囲】

【請求項1】半導体基板内に形成されたソース領域及びドレイン領域と、

前記ソース領域及びドレイン領域間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ソース領域と前記チャネル領域間及び前記ドレイン領域と前記チャネル領域間に形成された絶縁物層とを有することを特徴とする半導体装置。

【請求項2】前記ゲート電極のゲート長は50nm以下であることを特徴とする請求項1記載の半導体装置。

【請求項3】前記絶縁物層の膜厚は2nm以下であることを特徴とする請求項1記載の半導体装置。

【請求項4】前記絶縁物層は、熱酸化膜、窒化膜、または、窒化された酸化膜のいずれかからなることを特徴とする請求項1記載の半導体装置。

【請求項5】前記絶縁物層は、前記半導体基板の深さ方向に沿って徐々に厚くなることを特徴とする請求項1記載の半導体装置。

【請求項6】半導体基板内に互いに対向して形成されたソース領域及びドレイン領域と、

前記ソース領域及びドレイン領域間の前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記ソース領域と前記ドレイン領域とのそれぞれの対向面の一部または全部に形成された絶縁物層とを有することを特徴とする半導体装置。

【請求項7】前記絶縁物層は、前記半導体基板の深さ方向に沿って徐々に厚くなることを特徴とする請求項1記載の半導体装置。

【請求項8】半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極側面に側壁絶縁膜を形成する工程と、

前記ゲート電極及び前記側壁絶縁膜をマスクとして前記ゲート絶縁膜を選択的に除去し、前記半導体基板表面を露出させる工程と、

露出された前記半導体基板表面を等方的にエッチングし、凹部を形成する工程と、

前記凹部表面に絶縁物層を形成する工程と、

前記絶縁物層を前記側壁絶縁膜をマスクとして選択的に除去する工程と、

前記凹部内に半導体層を選択的に成長させて拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記ゲート絶縁膜を選択的に除去し、前記半導体基板表面を露出させる工程と、

露出された前記半導体基板表面を異方的にエッチングし、拡散層を形成するための凹部を形成する工程と、

前記凹部表面上に絶縁物層を形成する工程と、

前記凹部底面に形成された前記絶縁物層を除去する工程

と、

前記凹部内に半導体層を選択的に成長させ拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】前記ゲート電極は50nm以下のゲート長を有して形成されることを特徴とする請求項8または9に記載の半導体装置の製造方法。

【請求項11】前記絶縁物層は前記拡散層間にトンネル効果が生じる膜厚で形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】前記絶縁物層は、2nm以下の膜厚を有して形成されることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】前記絶縁物層は前記拡散層間にトンネル効果が生じる膜厚で形成することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項14】前記絶縁物層は2nm以下の膜厚を有して形成することを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】前記絶縁物層は、熱酸化により形成される酸化膜であることを特徴とする請求項8または9に記載の半導体装置の製造方法。

【請求項16】前記凹部は、前記側壁絶縁膜の膜厚と実質的に同程度の深さで形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項17】前記絶縁物層は、熱酸化膜、窒化膜、または、窒化された酸化膜のいずれかにより形成することを特徴とする請求項8または9記載の半導体装置の製造方法。

【請求項18】前記拡散層を形成する工程は、エピタキシャル法により行うことを特徴とする請求項8または9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特に、微細化に適したMOSFET (Metal Oxide Semiconductor Field Effect Transistor) EPROM (Erasable and Programmable Read Only Memory)、EEPROM (electrically erasable programmable read only memory) の構造及びその製造方法に関する。

【0002】

【従来の技術】図13は従来の一般的なMOSFETの構造の概略図である。図示するような一般的なMOSFETは、シリコン基板1の表面に形成されたゲート絶縁膜2を介してゲート電極3が設けられ、またゲート電極3の直下の基板1のチャネル領域6の左右に、ソース領域1およびドレイン領域5が配置される。

【0003】従来より半導体デバイスの微細化が進められており、MIS型構造の半導体デバイスとして最も

般的なMOSFETにおいては、特にそのゲート電極3の幅(ゲート長L)についての微細化が進められている。しかしながら、図14に示すゲート長としきい値電圧の関係のように、ゲート長Lを50nm程度以下にまで短くすると、ショートチャネル効果が顕著になり、しきい値電圧の制御が困難になることが知られている。そこでこのショートチャネル効果を抑制するためには、チャネル不純物濃度を増加させる必要がある。

【0004】例えばゲート長を50nm以下にまで低減させた場合では、ショートチャネル効果を抑制するためには、図15に示すゲート長とショートチャネル抑制のために必要なチャネル不純物濃度の関係のように、チャネルの不純物濃度を $1 \times 10^{19} \text{cm}^{-3}$ 程度以上にまで増加させなければならない。しかしそのチャネルの不純物濃度も $7 \times 10^{19} \text{cm}^{-3}$ 程度以上まで増加させると、P-N接合間のトンネル電流(リーク電流)を無視することができなくなる。この結果、ドレイン、基板間での耐圧劣化を引き起こし、トランジスタ動作が不可能になるという問題がある。

【0005】

【発明が解決しようとする課題】上記のように従来のMOSFETでは、特にチャネル長の微細化が進められているが、チャネル長を短くさせてゆくとショートチャネル効果が生じる。このショートチャネル効果の抑制のためには、チャネル不純物濃度を増加させる必要がある。しかしチャネル不純物を増加させることができる範囲は、耐圧劣化の抑制の面から制約があり、ある値以上までは増加させることができない。

【0006】すなわち従来の構造によるMOSFETは、ショートチャネル効果や耐圧劣化等の物理的な限界が存在するため、微細化を行うには限界があった。そこで、この発明は、非常に短いゲート長においても、正常なトランジスタ動作が可能な半導体装置およびその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置においては、半導体基板内に形成されたソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ソース領域と前記チャネル領域間及び前記ドレイン領域と前記チャネル領域間に形成された絶縁物層とを有することを特徴とする。

【0008】また上記の半導体装置を製造するための本発明の半導体装置の製造方法においては、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極側面に側壁絶縁膜を形成する工程と、前記ゲート電極及び前記側壁絶縁膜をマスクとして前記ゲート絶縁膜を選択的に除去し、前記半導体基板表面を露出させる工程と、露出された前記半導体基板表面を等方

的にエッチングし、凹部を形成する工程と、前記凹部表面に絶縁物層を形成する工程と、前記絶縁物層を前記側壁絶縁膜をマスクとして選択的に除去する工程と、前記凹部内に半導体層を選択的に成長させて拡散層を形成する工程とを有することを特徴とする。

【0009】また、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記ゲート絶縁膜を選択的に除去し、前記半導体基板表面を露出させる工程と、露出された前記半導体基板表面を異方的にエッチングし、拡散層を形成するための凹部を形成する工程と、前記凹部表面上に絶縁物層を形成する工程と、前記凹部底面に形成された前記絶縁物層を除去する工程と、前記凹部内に半導体層を選択的に成長させ拡散層を形成する工程とを有することを特徴とする。

【0010】以上、本発明の半導体装置及びその製造方法によれば、ゲート電極のゲート長を非常に短く形成した場合、チャネル不純物濃度を増加させることなく、トランジスタのリーク電流を制御し、耐圧劣化が生じるのを抑制しつつ、ショートチャネル効果を抑制することができる。また上記の効果を生しつつ、オン電流は十分に得ることができ正常なトランジスタ動作が可能となる。すなわち、チャネル不純物濃度の増加による微細化の限界を打破することができる。

【0011】

【発明の実施の形態】本発明の半導体装置及びその製造方法について以下、図面を参照して説明する。図1は本発明によるMOSFETの概略断面図である。

【0012】このMOSFETは、N型半導体シリコン基板11表面のP型ウェル領域22に形成されたゲート絶縁膜12、このゲート絶縁膜12を介して基板11上に形成されたゲート電極13、このゲート電極13直下のチャネル領域11aの左右に形成されたソース領域14及びドレイン領域15、ゲート電極13側面に形成されたゲート側壁絶縁膜16を有する。さらに、基板11内のチャネル領域11aとソース領域14およびドレイン領域15とが接するそれぞれの部分に、ゲート側壁絶縁膜16の幅に応じた、薄い絶縁バリア層17を有する。

【0013】上記の構成のN型MOSFETによれば、チャネル領域11aとそれぞれ接するソース領域14及びドレイン領域15との間に絶縁バリア層17が形成されている。これによりショートチャネル効果が生じる場合にソース、ドレイン領域の最深部近傍に形成される電流パスの形成が、絶縁バリア層17によって妨げられる。よって、ソース、ドレイン領域の最深部近傍における電気伝導が著しく阻害されるため、ショートチャネル効果を抑制することができる。

【0014】一方、ゲート電極13の直下では、絶縁バリア層17が存在するものの、チャネル長が短く、また

絶縁バリア層は共鳴トンネル効果が生じるほどの薄い膜厚で形成されているため、ソース、ドレイン領域間に十分にオン電流を得ることができる。

【0015】よってゲート電極13のゲート長を非常に短い場合、例えば50nm以下とした場合においても、トランジスタのリーク電流を制御し、耐圧劣化が生じるのを抑制しつつ、ショートチャネル効果の発生を抑制することができる。また上記の効果をもつ、オン電流は十分に得ることができる。

【0016】次に上記の構造のMOSFETを製造するための製造方法について、以下図面を参照して説明する。まず本発明の半導体装置の製造方法の第一の実施の形態を図2乃至図7の工程概略図を参照して以下に説明する。

【0017】まず図2に示すように、N型半導体シリコン基板（以下、単に基板と称する。）11の表面に、LOCOS (local Oxidation of Silicon) 法或いはSTI (Shallow Trench Isolation) 法により、フィールド酸化膜21を形成する。本構造においては、フィールド酸化膜21は、素子分離部では150nmから300nm程度の膜厚で、能動素子部では20nm以下の膜厚で形成する。

【0018】続いて図3に示すように、基板11全面にP型不純物であるボロンイオンを、加速エネルギー350KeV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、P型ウェル領域22を形成する。次にMOSFETのチャネルの形成領域に、P型不純物であるボロンイオンを、加速エネルギー60KeV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、MOSFETのしきい値制御のためのチャネル領域11aを形成する。

【0019】続いて図4に示すように、能動素子部のフィールド酸化膜21を選択的に除去した後、熱酸化法或いはLP-CVD (Low Pressure-Chemical Vapor Deposition) 法により、膜厚10nm乃至30nm程度のゲート絶縁膜12を形成する。このゲート絶縁膜12としては、熱酸化膜、窒化膜または、さらに絶縁耐圧の信頼性を向上させるならば、窒化された酸化膜等を用いる。次にゲート絶縁膜12全面に、膜厚30nm乃至100nm程度でN型にドーパされたポリシリコン膜13aを形成する。次にポリシリコン膜13a表面上に、ゲート電極の低抵抗化のため膜厚30nm乃至60nm程度で、例えばタングステンやタングステンシリサイド等からなる高融点金属膜や高融点金属シリサイド膜13bを形成し、ポリサイドゲート構造もしくはポリシリコンタングステンの積層構造とする。また必要に応じて、高融点金属膜13b表面にこれを保護するため、膜厚30nm乃至60nm程度のSiN膜23を形成してもよい。次に図示せぬレジストマスクを形成し、これをマスクとして用い、SiN膜23、高融点金属13b、ポリシリコン膜13aをRIE法により異方性エッチング

し、ゲート電極13を形成する。ここで形成するゲート電極のゲート長は、50nm以下とする。

【0020】尚、50nm以下でゲート電極をパターンニングするには、レジストマスク形成の際、電子ビーム露光法を採用する。またエッチングにはハロゲン系の反応ガスを用いたRIE法を採用することにより、ゲート絶縁膜12に対して高い選択比を有して、ゲート電極13をエッチングすることが可能である。

【0021】続いて図5に示すように、基板11全面にLP-CVD法等により膜厚10nm乃至30nm程度のシリコン窒化膜或いはシリコン酸化膜を形成する。次に形成したシリコン窒化膜等をRIE法により異方性にエッチングすることにより、ゲート電極13及びSiN膜23の側面に沿ってゲート側壁絶縁膜16を形成する。

【0022】続いて図6に示すように、ゲート絶縁膜12を選択的に除去し、シリコン基板11表面を露出させる。尚、ゲート絶縁膜12を熱酸化法により形成した場合には、フッ酸系のエッチング液を用いたウェットエッチングによりゲート絶縁膜12を除去することが可能である。ゲート絶縁膜12を取り除いた後、基板11表面を等方的にエッチングし、ソース及びドレインの各領域を形成するための凹部24を形成する。尚、このエッチングにおけるエッチング量は、例えばゲート側壁絶縁膜16の幅と同程度とする。すなわち本実施の形態では、ゲート側壁絶縁膜16の膜厚を10nm乃至30nm程度に形成しているため、凹部24の深さは10nm乃至30nm程度となる。またこれによりゲート電極13とゲート側壁絶縁膜16の境界付近の直下まで基板11をエッチングすることができる。また基板11を等方的にエッチングするのは、例えば、マイクロ波共振器中の放電により、 CF_4 と O_2 の混合ガスより生成されるフッ素原子および酸素原子による、ケミカルドライエッチング法を用いることで可能である。このエッチング方法の場合、凹部24の表面での結晶の乱れもなく、等方的にエッチングを行うことができる。

【0023】続いて図7に示すように、シリコン基板11の凹部24の表面に、膜厚0.5nm乃至2nm程度の絶縁バリア層17を形成する。この絶縁バリア層17は、例えば摂氏1000度程度の酸素雰囲気中で形成される熱酸化膜である。この他にこの絶縁バリア層は、窒化膜、または窒化された酸化膜等も用いることができる。次にソースおよびドレインの各領域となる部分の直下の絶縁バリア層17を、例えば反応性イオンエッチングによって選択的に除去する。この場合、ゲート側壁絶縁膜16がマスク材として機能し、ゲート側壁絶縁膜16直下に形成された絶縁バリア層17がエッチングされずに残留する。次にエビタキシャル法により、凹部24内を選択的にそれぞれ埋め込むことにより、ソース領域14およびドレイン領域15を形成する。

【0024】尚、固相エピタキシャル法を用いた場合には、ソース領域14及びドレイン領域15には、エピタキシャル層が選択成長する際に不純物が同時にドーピングされる、よって形成されるソース領域14及びドレイン領域15内の不純物の濃度は、エピタキシャル法において用いるガスの濃度等によって制御が可能である。

【0025】以降は通常のMOSFETの製造工程と同様であり、例えば、層間絶縁膜の積層、層間絶縁膜へのコンタクト孔の開口及び、メタライゼーション法による金属配線の形成などの各工程が行われる。

【0026】以上の各工程により、チャネル領域11aがそれぞれ接するソース領域14及びドレイン領域15との間に、絶縁バリア層17が形成されたN型MOSFETが完成する。

【0027】尚、上記までの工程に追加して、コンタクトの低抵抗化のために、サリサイド層を形成する場合について図8を参照して説明する。図7を参照して説明した工程の後、図8に示すように、ゲート側壁絶縁膜16表面にさらに、側壁絶縁膜25をシリコン窒化膜等により形成する。この側壁絶縁膜25は、耐圧を考慮してゲート電極13に対してサリサイド層を十分なマージンをもって形成するために設けるものである。従って、予めゲート電極13に対して、サリサイド層の形成領域が十分なマージンを持っている場合には、この側壁絶縁膜25は形成する必要は無い。次に図示せぬレジストマスクを形成し、このレジストマスク、ゲート電極13、ゲート側壁絶縁膜16、側壁絶縁膜25等をマスクとして、ヒ素或いはリン等をイオン注入して拡散層26、27を形成する。次に、例えばTi及びTiN等の高融点金属や高融点金属シリサイドをスパッタ法により形成する。次に窒素雰囲気中でRTA(Rapid Thermal Anneal)を行い、未反応のTi及びTiN等を除去し、ソース領域14及びドレイン領域15の表面にそれぞれシリサイド層28を形成する。以上の工程を図7までの工程に追加して行うことにより、ソース領域14、ドレイン領域15のコンタクトの低抵抗化を行うことができる。

【0028】本発明ではMOSFETのチャネル領域とそれぞれ接する、ソース領域及びドレイン領域との間に薄い絶縁バリア層を形成している。これによりショートチャネル効果が生じる際に形成されるソース領域及びドレイン領域の最深部近傍の電流パスの形成が妨げられ、ソース領域及びドレイン領域の最深部近傍での電圧降下が著しく阻害され、ショートチャネル効果を抑制することができる。

【0029】一方、ゲート電極の直下では絶縁バリア層17が存在するものの、チャネル長を短く形成しており、また共鳴トンネル効果が生じる程度の膜厚で絶縁バリア層を形成しているため、オン電流を十分に取り出すことが可能である。

【0030】従って、ゲート電極13のゲート長を非常

に短く形成した場合、例えば50nm以下とした場合においても、チャネル不純物濃度を増加させることなく、トランジスタのリーク電流を制御し、耐圧劣化が生じるのを抑制しつつ、ショートチャネル効果を抑制することができる。また上記の効果を有しつつ、オン電流は十分に得ることができ正常なトランジスタ動作が可能となる。すなわち、チャネル不純物濃度の増加による微細化の限界を打破することができる。

【0031】尚、上記した本発明の第一の実施の形態においては、ゲート側壁絶縁膜16をエッチングマスクとして使い、ゲート電極の直下の熱酸化膜のみを残すことにより、絶縁バリア層17を形成する場合について説明した。しかしこれに限らず、例えばゲート側壁絶縁膜を形成すること無く、ゲート電極の直下の、チャネル領域が接するソース領域とドレイン領域との間にそれぞれ絶縁バリア層を形成することも可能である。

【0032】この場合の製造方法を、本発明の半導体装置の製造方法の第二の実施の形態として図9及び図10を参照して以下に説明する。尚、第二の実施の形態では第一の実施の形態の図4に示す工程までは同様であるので、説明を省略する。また第一の実施の形態と同一の構成については同一の符号を示す。また特に言及しない限り、製造方法、各膜厚等も第一の実施の形態と同様である。

【0033】すなわち図4に示す工程における、ゲート電極のエッチングまでを行った状態に続いて、図9に示すように、ゲート絶縁膜12をウェットエッチングにより除去し、基板11表面を露出させる。次に、反応性エッチングによってシリコン基板11の表面を異方的にエッチングして、凹部24を形成する。この凹部24の深さは、第一の実施の形態と同様に10nm乃至30nm程度とする。次に凹部24の表面に、熱酸化法により膜厚0.5nm乃至2nm程度の熱酸化膜31を形成する。

【0034】続いて図10に示すように、凹部24における平坦部(底面)の熱酸化膜31のみを反応性イオンエッチングによって除去する。次に第一の実施の形態と同様に凹部24内にエピタキシャル法により、エピタキシャル層を選択的に成長させ、ソース領域14およびドレイン領域15を形成する。これによりソース領域14及びドレイン領域15とチャネル領域11aとの間に絶縁バリア層17が形成されたN型MOSFETを製造することができる。勿論、この後の工程で第一の実施の形態で説明したようにサリサイド層を形成する工程を追加して行うこともできる。その際の製造工程は、第一の実施の形態と同様であるので、その説明は省略する。

【0035】続いて本発明の第三の実施の形態を図11を参照して説明する。この第三の実施の形態は図1に示した本発明の第一の実施の形態の変形例である。すなわち第三の実施の形態では絶縁バリア層17は、チャネル

領域11aと接する部分で最も薄く、かつ、チャネル領域11aの深さ方向に沿って徐々に厚く形成する。これによりソース領域14及びドレイン領域15の最深部近傍におけるショートチャネル効果の抑制の効果をさらに高めることができる。

【0036】また本発明は電荷の蓄積層を有する例えばEPROMやEEPROMにも適用することが可能である。これを第四の実施の形態として図12を参照して説明する。図12はフローティングゲート電極を電荷の蓄積層として有する本発明のEEPROMの概略図である。N型のソース領域72及びドレイン領域73が、P型の半導体基板71表面上に形成されている。またフローティングゲート電極75がソース領域72及びドレイン領域73の間のチャネル領域の上部にゲート絶縁膜(トンネル絶縁膜)74を介して形成されている。さらにコントロール電極76が中間絶縁膜77を介してフローティングゲート電極75上に形成されている。そして絶縁バリア層78がソース領域72とチャネル領域間及びドレイン領域とチャネル領域間にそれぞれ形成されている。

【0037】上記のようなメモリセルにおいて書き込み動作時(プログラミング時)には、例えば0V程度の低電圧がソース領域72及び半導体基板71に印加され、例えば12V程度の高電圧がコントロール電極76及びドレイン領域73に印加される。この際オン電流がソース、ドレイン領域間に流れ、ドレイン領域周辺にホットエレクトロンが生じ、フローティングゲート電極内にゲート絶縁膜74を通して注入され、トランジスタのしきい値が上昇する。

【0038】一方データの消去時においては、高電圧がソース領域に、また低電圧がコントロールゲート電極にそれぞれ印加される。ドレイン電極73はフローティング状態である。この場合、トンネル電流がゲート絶縁膜74を通して流れ、フローティングゲート電極75から電荷が引き抜かれ、トランジスタのしきい値が低下する。

【0039】上記のように構成されたメモリセルは、例えばNOR型やNAND型といったメモリセルアレイにも勿論適用することができる。第四の実施の形態で説明したフローティングゲート電極を有するメモリセルにおいても、チャネル不純物濃度を増加させることなくトランジスタのリーク電流を制御し、耐圧劣化が生じるのを抑制しつつ、ショートチャネル効果の抑制することができる。このような効果は、オン電流を素子のプログラミング時に用いるメモリ素子には特に有効である。

【0040】尚、本発明はN型MOSFETに限らず、P型のMOSFETにも同様に適用すること可能である。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0041】

【発明の効果】本発明によれば、トランジスタのゲート電極のゲート長を非常に短く形成した場合、例えば50nm以下とした場合においても、チャネル不純物濃度を増加させることなく、トランジスタのリーク電流を制御し、耐圧劣化が生じるのを抑制しつつ、ショートチャネル効果を抑制することができる。またこの効果を有しつつ、オン電流は十分に得ることができ正常なトランジスタ動作が可能となり、チャネル不純物濃度の増加による微細化の限界を打破することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態の半導体装置の概略図。

【図2】本発明の第一の実施の形態の半導体装置の製造方法を説明する概略図。

【図3】本発明の第一の実施の形態の半導体装置の製造方法を説明する概略図。

【図4】本発明の第一の実施の形態の半導体装置の製造方法を説明する概略図。

【図5】本発明の第一の実施の形態の半導体装置の製造方法を説明する概略図。

【図6】本発明の第一の実施の形態の半導体装置の製造方法を説明する概略図。

【図7】本発明の第一の実施の形態の半導体装置の製造方法を説明する概略図。

【図8】本発明の第一の実施の形態の変形例の半導体装置の概略図。

【図9】本発明の第二の実施の形態の半導体装置の製造方法を説明する概略図。

【図10】本発明の第二の実施の形態の半導体装置の製造方法を説明する概略図。

【図11】本発明の第三の実施の形態の半導体装置の概略図。

【図12】本発明の第四の実施の形態の半導体装置の概略図。

【図13】従来の一般的なMOSFETの概略図。

【図14】従来のMOSFETのゲート長としきい値電圧の関係を示した説明図。

【図15】従来のMOSFETのゲート長とショートチャネル抑制のために必要なチャネル不純物濃度の関係を示した説明図。

【符号の説明】

11、71 N型半導体シリコン基板

11a チャネル領域

12、74 ゲート絶縁膜

13、75 ゲート電極

13a ポリシリコン膜

13b 高融点金属シリサイド膜

14、72 ソース領域

15、73 ドレイン領域

16、25 ゲート側壁絶縁膜

17, 78 絶縁バリア層

21 フィールド絶縁膜

22 P型ウェル領域

23 SiN膜

24 凹部

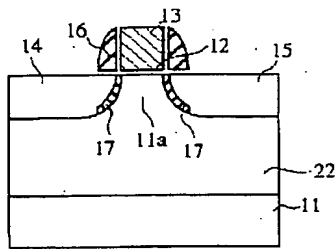
26, 27 拡散層

28 シリサイド層

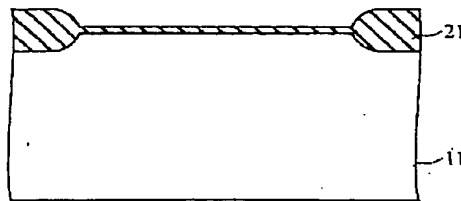
76 コントロール電極

77 中間絶縁膜

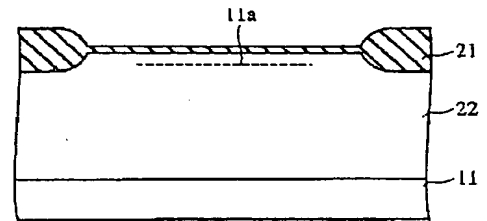
【図1】



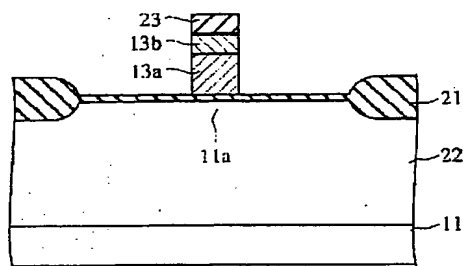
【図2】



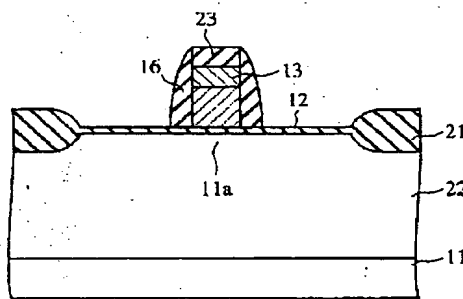
【図3】



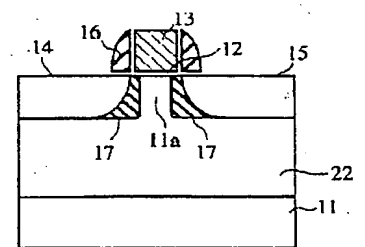
【図4】



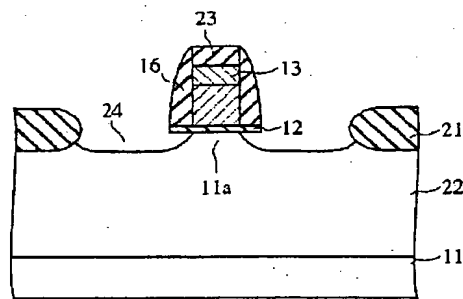
【図5】



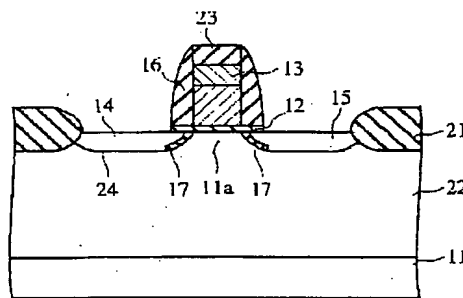
【図11】



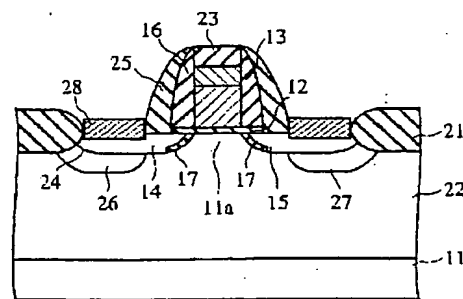
【図6】



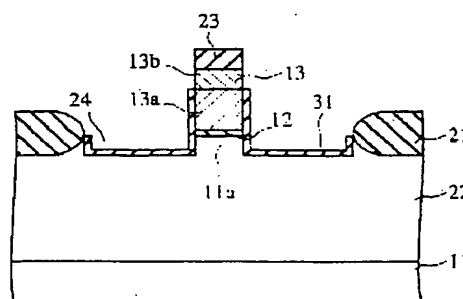
【図7】



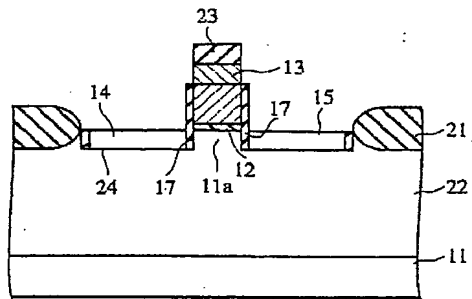
【図8】



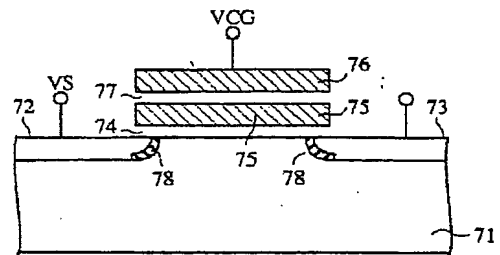
【図9】



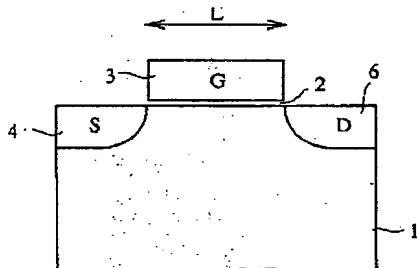
【図10】



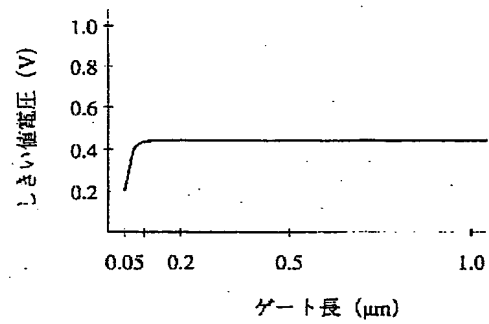
【図12】



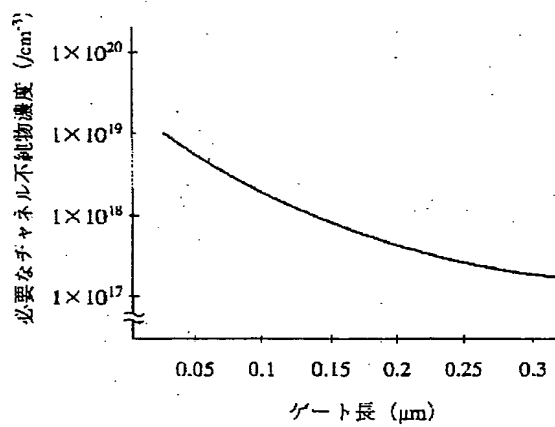
【図13】



【図14】



【図15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)